

Japanese Published Unexamined Patent Application (A) No. 51-071749, published June 21, 1976; Application Filing N . 49-145897, filed December 19, 1974; Inventor(s): Toshio Shimada; Assignee: Fujitsu Corporation; Japanese Title: Variable Capacity Control System for Buffer Devices

VARIABLE CAPACITY CONTROL SYSTEM FOR BUFFER DEVICES

CLAIM(S)

A variable capacity control system for a buffer device in a channel device controlling both low-speed and high-speed input/output devices, characterized by the following:

a buffer device having a capacity matching the speed of said high-speed input/output device is installed;

a control means for switching the usable capacity of said buffer device relative to the input/output device that is being used for data transfer;

a buffer capacity is controlled to be apparently limited when said low-speed input/output device transfers data.

DETAILED DESCRIPTION OF THE INVENTION

The present invention pertains to a variable capacity control system of a buffer device, particularly to the variable capacity control system of a buffer device that can switch the capacity of a buffer in a channel device controlling both the low-speed input/output device and high-speed input/output device; when data is

transferred by a low-speed input/output device, a buffer device physically having a high capacity is changed to that having an apparent small capacity to prevent the channel control device from being occupied for a long time by the data transfer by the low-speed input/output device.

A buffer device is prepared for a channel device to adjust the time duration during which data transfer is allowed and to adjust speed difference between the operation speed of the input/output device and the operation speed of data processing device. Accordingly, in the channel device controlling both the high-speed input/output device and low-speed input/output device, the capacity of said buffer device is determined to match the speed of the high-speed input/output device. However, in this case, the low-speed input/output device also continues to transfer data to fill in the high-capacity buffer device, by which the channel control device is occupied for a long time, and the data transfer of other channel device is hindered (The data transfer by the high-speed input/output device is hindered.).

The present invention, to solve the aforementioned problems, the control is executed as if there were no other buffer devices but a small capacity buffer device. To implement the aforementioned objective, the variable capacity control system for a buffer device of the present invention is characterized in that a buffer device having a capacity matching with the speed of said high-speed input/output device is installed in a channel device controlling the low-speed input/output device and in

that a control means is installed to switch the usable capacity of said buffer device correspondingly to the input/output device being used for data transfer in order to control said apparent buffer device capacity during the data transfer by said low-speed input/output device. The present invention is explained further in detail below with reference to the drawings.

Fig. 1 shows one example of the data processing system to which the present invention is applied. Fig. 2 shows the structure of one embodiment example of the present invention.

In Fig. 1, 1 indicates the memory device, 2 the memory control device, 3 the central processing device, 4 the channel control device, 5 the block multiplexer channel, which is one of the channel devices, 6 - 0 and 6 - 1 the # 0 buffer device and # 1 buffer device, respectively, 7 the high-speed input/output device, and 8 the low-speed input/output device.

In the block multiplexer channel 5, the high-speed input/output device 7 is accommodated together with the low-speed input/output device 8 in some cases, and therefore the capacity of buffer devices, 6-0, 6-1, is determined to match with the speed of the high-speed input/output device 7.

For example, when data is transferred from the input/output device 7 or 8 to the memory device 1, the data from the input/output device is transferred to the buffer device 6 - 0 and subsequently transferred to the buffer device 6 - 1. While the

data is being transferred to the latter buffer 6 - 1, the data stored in the memory device 1 - 0 is transferred to the memory device 1. When the data is transferred from the memory device 1 to the input/output device, the buffer devices 6 - 0 and 6 - 1 are, needless to say, used, likewise.

However, when the input/output devices having different operation speeds are present, a technical problem arises. For example, suppose the low-speed input/output device 8 transfers data to memory device 1. When the low-speed input/output device 8 transfers data to the buffer device with a physically high capacity, in other words, when data is transferred to # 0 buffer device 6 - 0, a relatively long time is required to fill said buffer with the data (During this time period, data transfer is not possible even if a data transfer request comes from the high-speed input/output device 7. In other words, the channel control device is occupied for a long time.). In the present invention, each of the #0 buffer device 6 - 0 and #1 buffer device 6 - 1 is prepared to have a capacity of 16 words (8 times of transfer by a unit of 2 words), and the capacity of 16 words is used at a time of data transfer by the high-speed input/output device, but at a time of data transfer by the low-speed input/output device 8, each of the buffer devices 6 - 0 and 6 - 1 is controlled as if each had a capacity of 4 words (2 times of transfer by a unit of 2 words) in apparent capacity. More specifically, when the low-speed input/output device 8 transfers data, 4 words are transferred first (2 times by a unit of 2 words

each time) to the #0 buffer devices 6 - 0. Then, said buffer 6 - 0 is controlled as if it were filled up, and if there are more data to be transferred, they are transferred to the #1 buffer device 6 - 1, during which the data stored in the #0 buffer device 6 - 0 are transferred to the memory device 1 (The stand-by time at a time of data transfer requested from the high-speed input/output device 7 is limited to the time duration equivalent to 2 times of transfer time by the low-speed input/output device 8.).

Fig. 2 shows the structure of one embodiment example of the present invention. In the figure, 5, 6 - 0, and 6 - 1 correspond to those in Fig. 1; 9 indicates the address switching circuit of the buffer device; 10 - 0 and 10 - 1 are counter circuits, respectively, and count the number of words to be input into the corresponding buffer or the number of words to be output from the corresponding buffer; 11 indicates the request control circuit; 12 indicates the request transmission counter circuit; 13 indicates a read end counter circuit; 14 indicates a capacity control flip flop, which is set in logic circuit 1 when the data related to the high-speed input/output device 7 (Fig. 1) is transferred; 15 - 18 indicate the gate circuit; 19 indicates the coincidence circuit.

An instance wherein data is transmitted from the input/output device to the memory device 1 (Fig. 1) is explained below.

The input signal is supplied to the address switching circuit 9 of the buffer device, and the address switching circuit successively generates the address data as

address 0, 1, 2, ... in the #0 buffer device 6 - 0. At this time, the data from the input/output device is stored in its corresponding address via the data bus not shown in the figure.

If the input/output device that is transferring data now is a low-speed input/output device 8, the I/O interface signal will be sent from the low-speed input/output device 8, but the capacity controlling flip-flop 14 is positioned at "0" and the signal Q is at logic "0." #G gate 17 and #D gate 18 designed to generate the buffer switching signal at the timing when the address generated 4 times when the signal Q is at "0." Therefore, when the transfer of 4 words is performed (2 times of transfer by a unit of 2 words each time) to #0 buffer device 6 - 0, the buffer device address switching circuit 9 is controlled to generate the address data to the #1 buffer device by the switching signal from the #C gate 17. If there are more data to be transferred, they are stored in #1 buffer device 6 - 1.

The address switching circuit 9 supplies the signal to the request control circuit 11, which then sends the data input request to the channel control device 4. At this time, prior to the request, the sent request counter circuit 12 is cleared. The send request is generated every time a unit of 2 words is transferred, and the number of requests is counted by said counter circuit 12. And the read end counter circuit 13 is cleared prior to the data transfer to the memory device 1 and counts the number of transfers every time when the data stored in said #0 buffer device 6 - 0

are transferred to the memory device 1 by a unit of 2 words. As explained above, while data are stored from the input/output device 8 to #1 buffer device, the data stored in the #0 buffer device 6 - 0 are transferred to the memory device 1. The number of the transfers is counted in the read-end counter circuit 13.

#A gate 15 and #B gate 16 are both designed to generate the output when the counter circuit output indicates "2" (transfer of 4 words by a unit of 2 words each time) when signal Q is at logic "0." Therefore, when the request is sent twice, #A gate 15 generates the "comparison enable," and #B gate 16 generates the "comparison enable" when a unit of 2 words is transferred twice. Accordingly, when the transfer is performed twice in response to 2 requests, the coincidence circuit 19 generates a read-end signal and supplies it to the address switching circuit 9. In the above example, the fact that 4 words worth of data stored in the #0 buffer 6 - 0 have all been transferred to the memory device 1 is notified to the address switching circuit 9. In the case of transferring data related to the low-speed input/output device, 4 words worth of data is accommodated in the #1 buffer device by the output of #D gate 18. If there are more data, they are stored in the #0 buffer device 6 - 0. In other words, when the data related to the low-speed input/output device 8 is transferred, the buffer devices 6 - 0 and 6 - 1 are both controlled as if they have only 4 words worth of capacity.

On the other hand, when the data related to the high-speed input/output

device 7 is transferred, the capacity controlling flip-flop 14 is set at logic "1." In this case, since the signal Q is at logic "1," #C gate 17 and #D gate 18 are designed to generate a "buffer switching" signal when they generate 16 words worth of address data (8 times in case of transferring a unit of 2 words each time) to #0 buffer devices 6-0 and 6-1. The #A gate 15, once 8 times of request is generated, generates a "comparison enable" signal, and #B gate 16 is designed to generate the "comparison enable" signal when 8 times of data is transmitted. Therefore, #0 buffer device 6-0 and #1 buffer device 6-1 are controlled as having a capacity of 16 words, respectively.

As explained above, by the present invention, when the data related to the high-speed input/output device 7 is transferred, the buffer devices 6-0 and 6-1 are controlled to handle the entire physical capacity, and when the data related to the low-speed input/output device 8 is transferred, the buffer devices 6-0 and 6-1 are controlled as if they have a limited capacity (Therefore, this solves the problem that the buffer device 6-0 and 6-1, which are designed to have a relatively large capacity, are occupied by the low-speed input/output device 8 and the data transfer by the high-speed input/output device 8 is hindered.). Accordingly, the time for the low-speed input/output device to occupy the channel control device is reduced, minimizing an impact on other channel device.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 shows the data processing system to which the present invention is applied as one embodiment example. Fig. 2 shows a schematic diagram of the structure of the embodiment example of the present invention.

In the figure, 5 indicates the channel device, 6-0 and 6-1 the buffer devices, 7 the high-speed input/output device, 8 the low-speed input/output device, 9 the buffer device address switching circuit, 14 the capacity-controlling flip-flop, and #A - #D gates, respectively.

From: Diane T Cascia on 11/07/2002 01:50 PM
To: Stephanie.C Wilson/Arlington/IBM@IBMUS
cc: Abdi Dirie/Arlington/IBM@IBMUS
From: Diane T Cascia/San Jose/IBM@IBMUS
Subject: English translation needed for JP 51-71749

Dear Stephanie:

This is a request for a translation of JP 51-71749.
Please confirm receipt of this request.

The reference no. for the invoice on this translation will be JP9-2001-0330US1.

Thank you.
Diane

Diane Cascia
IP Law Administrative
Assistant to Bob Martin
and Lewis Nunnolley
IP Law Department
Phone: (408) 256-2123
Fax: (408) 256-2179



(2,000円)

特 許 願 (=)

昭和49年12月13日

特許庁長官 齊藤英雄殿

1. 発明の名称 バッファ装置の容量可変制御方式

2. 発明者

住 所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

氏 名 橋田俊雄 (外3名)

3. 特許出願人

住 所 神奈川県川崎市中原区上小田中1015番地

氏 名 (522) 富士通株式会社

代表者 高 羅 芳 光

4. 代 理 人

住 所 東京都荒川区西日暮里4丁目17番1号

佐原マシソン3FC

氏 名 (7484) 弁理士 森 田 寛

5. 添付書類の目録

- | | |
|-------------|-----|
| (1) 明 細 書 | 1 通 |
| (2) 図 面 | 1 通 |
| (3) 委 任 状 | 1 通 |
| (4) 願 書 副 本 | 1 通 |

方式表

図代

49 145897

明 細 書

1. 発明の名称 バッファ装置の容量可変制御方式

2. 特許請求の範囲

低速入出力装置と高速入出力装置とを混在して統括するチャネル装置において、上記高速入出力装置側の速度に見合う容量をもつバッファ装置をもうけると共に現にデータ転送中の入出力装置に対応して上記バッファ装置の使用容量を切替える制御手段をもうけ、上記低速入出力装置によるデータ転送には見掛け上バッファ装置の容量を制限せしめるようにしたことを特徴とするバッファ装置の容量可変制御方式。

3. 発明の詳細な説明

本発明は、バッファ装置の容量可変制御方式、特に低速入出力装置と高速入出力装置とを混在して統括するチャネル装置におけるバッファ装置の容量を切替え得るようにし、低速入出力装置によるデータ転送時に、物理的に大きい容量をもつより用意されているバッファ装置を見掛け上小容量

① 日本国特許庁

公開特許公報

①特開昭 51-71749

③公開日 昭51.(1976) 6.21

②特願昭 49-14488P7

②出願日 昭49.(1974) 12.19

審査請求 未請求 (全4頁)

庁内整理番号

6127 46

⑤日本分類

97(7)D01

⑤Int.Cl²

G06F 4/06

として、低速入出力装置による転送によってチャネル制御装置が長期間占有されてしまわないようにしたチャネルのバッファ装置の容量可変制御方式に関するものである。

チャネル装置においては、データ転送が許されるタイミングの調整や、入出力装置の動作とデータ処理装置の動作との速度差の調整をとるために、バッファ装置が用意される。このため、高速入出力装置と低速入出力装置とを混在して統括するチャネル装置においては、上記バッファ装置の容量は、高速入出力装置側の速度に見合うように決定されるが、この場合低速入出力装置が大きい容量のバッファ装置内を満たすようにデータ転送を継続してしまうことにより、チャネル制御装置が長期間占有されてしまうため、他のチャネル装置のデータ転送が阻害されてしまうこととなる(高速入出力装置のデータ転送が阻害されてしまうこととなる。)

本発明は、上記の点を解決することを目的としており、低速入出力装置によるデータ転送時には

見掛け上小容量のバッファ装置しか存在しないかのように制御することを目的としている。そしてそのため本発明のバッファ装置の容量可変制御方式は、低速入出力装置と高速入出力装置とを混在して統括するチャネル装置において、上記高速入出力装置側の速度に見合う容量をもつバッファ装置をもうけると共に現にデータ転送中の入出力装置に対応して上記バッファ装置の使用容量を切替える制御手段をもうけ、上記低速入出力装置によるデータ転送には見掛け上バッファ装置の容量を制限せしめるようにしたことを特徴としている。以下図面を参照しつつ説明する。

第1図は本発明が適用されるデータ処理システムの一実施例、第2図は本発明の一実施例構成を示す。

第1図において、1は記憶装置、2は記憶制御装置、3は中央処理装置、4はチャネル制御装置、5はチャネル装置の1つでブロック・マルチプレクサ・チャネル、6-0、6-1は夫々第0バッファ装置および第1バッファ装置、7は高速入出力装置

3

出力装置8が大きい物理容量をもつバッファ装置例えば第0バッファ装置6-0にデータを転送して行なうとき、当該バッファにデータが満たされるまでに比較的大きな時間を要してしまい、(この間高速入出力装置7からデータ転送の要求があっても転送できないこととなってしまう。即ちチャネル制御装置が長時間占有されてしまうことがある。)このため、本発明の場合、第0バッファ装置6-0および第1バッファ装置6-1の容量として夫々例えば16語分(2回転送で8回分)を格納できるように用意して高速入出力装置7側でのデータ転送時上記16語分をそのまま用いるが、低速入出力装置8側でのデータ転送時には夫々のバッファ装置6-0、6-1が見掛け上4語分(2回転送で2回分)しかないかのように制御するようにする。即ち、低速入出力装置8側でのデータ転送の場合、先ず第0バッファ装置6-0に対して4語分(2回分)転送されると当該バッファ装置6-0が満杯となったかのように制御せしめ、さらに転送したいデータがあれば第1バッファ

5

特開 昭51-71749 (2)
力装置、8は低速入出力装置を表わしている。

ブロック・マルチプレクサ・チャネル5には高速入出力装置7を低速入出力装置8とが混在して収容されることがあり、このためにバッファ装置6-0、6-1の容量は高速入出力装置7の速度に見合うように決定される。

例えば入出力装置7または8から記憶装置1にデータを転送する場合、入出力装置からのデータはバッファ装置6-0に転送され、ついでバッファ装置6-1に転送するようにされる。そして後者バッファ装置6-1に対して転送されている間に、バッファ装置6-0に貯えられているデータを記憶装置1に転送するようにされる。記憶装置1から入出力装置側にデータを転送する場合にもバッファ装置6-0、6-1が同様に利用されることは言うまでもない。

しかし、上記の如く動作速度の異なる入出力装置が混在する場合、1つの技術的な問題が生ずる。即ち、例えば低速入出力装置8が記憶装置1に対してデータを転送する場合を考えると、該低速入

4

力装置6-1に対し転送するようにし、この間第0バッファ装置6-0に貯えられたデータは記憶装置1に転送されるよう制御される。(そして高速入出力装置7側からの転送要求時の待機時間は、低速入出力装置8からの2回分の転送時間に相当するものに止めるようにしている。)

第2図は本発明の一実施例構成を示し、図中の符号5、6-0、6-1は第1図に対応し、9はバッファ装置アドレス切替回路、10-0、10-1は夫々計数回路で対応するバッファ装置に対するデータ書き込み語数または対応するバッファ装置からのデータ読出し語数を計数するもの、11はリクエスト制御回路、12はリクエスト送出計数回路、13はリード終了計数回路、14は容量制御フリップ・フロップで高速入出力装置7(第1図)に関連したデータ転送の場合論理「1」にセットされるもの、15ないし18はゲート回路、19は一致回路を表わしている。

例えば入出力装置側から記憶装置1(第1図)側にデータを転送する場合を挙げて説明する。

6

バッファ装置アドレス切替回路9に対して書き込み信号が与えられ、該アドレス切替回路は#0バッファ装置6-0に対してアドレス情報を番地0、1、2……と順次発生して行く。このとき入出力装置からのデータは図示しないデータ・バスを介して対応したアドレスに格納されて行く。

今データを転送する入出力装置が低速入出力装置8であるとする、該装置8からI/Oインタフェース信号が送られてくるが容量制御フリップ・フロップ14は論理「0」に置かれ、信号Qは論理「0」にある。#Cゲート17および#Dゲート18は信号Qが論理「0」にあるときアドレス情報が例えば4回発生されたタイミングで「バッファ切替」信号を発するよう構成されているため、#0バッファ装置6-0に対して4語分の転送（2語転送を行うことから2回分の転送）が行なわれたとき、#Cゲート17からの切替信号によりバッファ装置アドレス切替回路9は#1バッファ装置側に対してアドレス情報を発生するよう制御される。そしてなおも転送すべきデータがあ

れば#1バッファ装置6-1側に格納されるようにされる。

アドレス切替回路9はリクエスト制御回路11に対して信号を供給し、リクエスト制御回路11はチャンネル制御装置4に対してデータ書き込みのためのリクエストを発する。このときリクエストに先立ってリクエスト送出計数回路12はクリアされる。そして上記リクエストは2語単位で転送毎に発生され、上記リクエスト回数は該計数回路12においてカウントされる。そしてリード終了計数回路13も記憶装置1へのデータ転送に先立ってクリアされており、上記#0バッファ装置6-0に貯えられたデータが記憶装置1へ2語単位で転送される毎にその転送回数をカウントして行く。

上述した如く入出力装置8から#1バッファ装置にデータが格納されて行く間、#0バッファ装置6-0に貯えられたデータは記憶装置1に転送されて行く。この転送回数がリード終了計数回路13において計数される。

7

#Aゲート15および#Bゲート16は共に、信号Qが論理「0」にあるとき計数回路出力が「2」（2語単位転送であるため4語分の転送）となったとき出力を発するよう構成されている。このため、リクエストが2回発せられたとき#Aゲート15は「比較可」信号を発し、2語単位で2回分の転送が行なわれたとき#Bゲート16は「比較可」信号を発する。このため、2回のリクエストに伴って2回の転送が行なわれたとき一致回路19はリード終了信号を発して、これをアドレス切替回路9に供給する。即ち上記の例で言えば#0バッファ6-0に貯えられていた4語分のデータがすべて記憶装置1に転送され終ったことをアドレス切替回路9に伝える。低速入出力装置8に関連したデータの転送の場合、#1バッファ装置に対するデータの格納も、#Dゲート18からの出力によって、4語分で終了する。そしてさらにデータがあれば#0バッファ装置6-0にセットされて行くようにされる。換言すれば、低速入出力装置8に関連するデータの転送の場合、

8

バッファ装置6-0、6-1は共に4語分の容量しかないかのように制御される。

これに対し、高速入出力装置7に関連したデータ転送の場合、容量制御フリップ・フロップ14は論理「1」にセットされる。この場合、信号Qが論理「1」であることから#Cゲート17および#Dゲート18は、#0バッファ装置6-0および6-1に対して16語分のアドレス情報（2語転送の場合8回分）を発するときに、「バッファ切替」信号を発するよう構成されている。また上記信号Qが論理「1」であることから、#Aゲート15は8回分のリクエストが発せられるとき「比較可」信号を発し、#Bゲート16は8回分のデータ転送されたとき「比較可」信号を発するよう構成されている。このため、#0バッファ装置6-0および#1バッファ装置6-1は夫々16語分の容量があるものとして制御される。

以上説明した如く、本発明によれば、高速入出力装置7に関連したデータ転送の場合、バッファ装置6-0、6-1は物理的な容量全部を使うよ

うにされ、低速入出力装置 8 に関連したデータ転送の場合、バッファ装置 6-0、6-1 は制限された容量しかもたないかのように制御される。(このため、比較的大きな容量をもつようにされているバッファ装置 6-0、6-1 が低速入出力装置 8 によって占有されてしまい、高速入出力装置 7 によるデータ転送が阻害されてしまうことがなくなる。) とのため、低速入出力装置によるチャネル制御装置の占有時間を少なくすることになり、他のチャネル装置への影響を小さくすることができる。

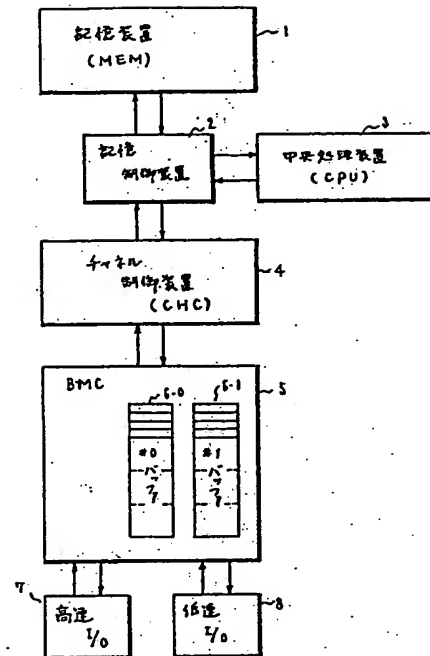
4. 図面の簡単な説明

第 1 図は本発明が適用されるデータ処理システムの一実施例、第 2 図は本発明の一実施例構成を示す。

図中、5 はチャネル装置、6-0、6-1 はバッファ装置、7 は高速入出力装置、8 は低速入出力装置、9 はバッファ装置アドレス切替回路、14 は容量制御フリップ・フロップ、A ないし D はゲートを夫々表わしている。

11

図 1



6. 前記以外の発明者

発 明 者

住 所 神奈川県川崎市中原区上小田中 1015 番地

富士通株式会社内

氏 名 井 堀 三 男

住 所 同 上

氏 名 田 中 勉

住 所 同 上

氏 名 長谷川 浩

図 2

